

Patent Abstracts of Japan

PUBLICATION NUMBER : 57160227
PUBLICATION DATE : 02-10-82

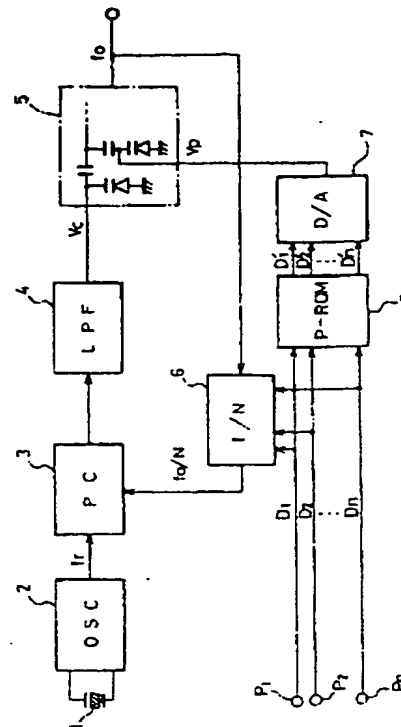
APPLICATION DATE : 30-03-81
APPLICATION NUMBER : 56045611

APPLICANT : FUJITSU LTD;

INVENTOR : MURAYAMA YUKIO;

INT.CL. : H03L 7/18 H03J 7/06 // H04B 7/26

TITLE : FREQUENCY SYNTHESIZER



ABSTRACT : PURPOSE: To shorten a channel transition time by storing a memory with the digital values of the best preset voltages for respective channels of the radio, etc., and applying them to a voltage-controlled oscillator after D/A conversion.

CONSTITUTION: Digital values $D_1 \sim D_n$ as channel information on the radio, etc., are inputted to a P-ROM8 and a program counter 6 for 1/N frequency division. In the P-ROM8, those digital values $D_1 \sim D_n$ are stored by being converted into digital values $D_1' \sim D_n'$ for generating the best preset voltage V_p . The digital values $D_1' \sim D_n'$ are converted by a D/A converter 7 into the voltage V_p , which is applied to a voltage-controlled oscillator 5. The output of the oscillator 5 is frequency-divided by a counter 6 into values which correspond to the digital values $D_1 \sim D_n$, and its outputs are compared with a reference signal from a reference oscillator 2 by a phase comparator 3; and the phase difference signal is passed through an LPF4 to obtain a voltage V_c , controlling the oscillator 5. Since the best preset voltage V_p is applied to the oscillator 5, a channel transition time is shortened regardless to whether a change in channel is large or not.

COPYRIGHT: (C)1982,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57-160227

51Int. Cl.
H 03 L 1/18
H 03 J 7/06
H 04 B 1/29

識別記号

庁内整理番号
6964-5J
7117-5K
6429-5K

⑬ 公開 昭和57年(1982)10月2日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 周波数

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 許 出 願 日 昭和57年3月30日

⑰ 出 願 人 富士通株式会社

⑱ 出 願 日 昭和57年3月30日

川崎市中原区上小田中1015番地

⑲ 発 明 者 村山幸男

⑳ 代 理 人 弁理士 青木朗 外3名

明 細 書

1. 発明の名称

周波数シンセサイザ

2. 特許請求の範囲

1. 基準発振器と、複数のプログラム端子に供給されたチャネル情報によって分周比が決定されるプログラマブルカウンタと、前記基準発振器の出力信号と前記プログラマブルカウンタの出力信号との位相差を検出する位相比較器と、該位相比較器の出力信号を平滑する低域フィルタと、該低域フィルタの出力電圧によって制御され且つ前記プログラマブルカウンタに出力発振信号を供給する電圧制御発振器と、前記チャネル情報としてのデジタル値をアナログ電圧に変換して前記電圧制御発振器にプリセット電圧として印加するD/A変換器と、を具備する周波数シンセサイザにおいて、前記プログラム端子と前記D/A変換器との間に、前記チャネル情報としてのデジタル値をプリセット電圧発生専用のデジタル値に変換するためのプログラマブルリードオンリメモリを設け

たことを特徴とする周波数シンセサイザ。

3. 発明の詳細な説明

本発明は位相ロックループ回路(以下、PLL回路とする)を用いた周波数シンセサイザに関する。

一般に、PLL回路は、水晶発振子を有する基準発振器、位相比較器、低域フィルタ(特にループフィルタと言う)および電圧制御発振器から構成されている。位相比較器は基準発振器の出力信号と電圧制御発振器の出力発振信号との位相差を検出し、この位相差は低域フィルタに平滑されて電圧制御発振器の制御電圧となる。この結果、PLL回路は、電圧制御発振器の出力発振信号が基準発振器の基準発振信号に位相的に一致するように動作する。

上述のPLL回路において、電圧制御発振器と位相比較器との間に1/N分周器を接続すると、電圧制御発振器の発振周波数 f_v は基準発振器の基準発振周波数 f_r のN倍となる。このようなPLL回路は周波数シンセサイザと呼ばれ、電圧制御発振器の発振周波数はラジオの局部発振周波数あるいは

自動車電話の局発振周波数として用いられる。なお、この場合、 $1/N$ 分周器の分周比は外部のプログラム端子から供給されるチャネル情報信号によって決定されるので、この $1/N$ 分周器はプログラマブルカウンタと呼ばれる。

通常、周波数シンセサイザにおいて、チャネル変化が小であればチャネル移行時間が短かく、他方、チャネル変化が大であればチャネル移行時間は長くなる。従って、周波数シンセサイザを、多チャネルの自動車電話、たとえばチャネル間隔30kHz、チャネル数666の自動車電話に用いた場合には、チャネル変化が大になるにつれてチャネル移行時間は長くなる。このチャネル移行時間を短縮するために、PLL回路のループ帯域幅を広げてPLL回路の応答速度を高めることも考えられるが、この場合、基準波スプリアスも増加するので、このスプリアス除去のためのフィルタを必要とする。さらに、この場合、発振を防止するために、ループ帯域をフィルタ帯域より十分に小さくしなければならない等の制約がある。

各チャネル情報としてのデジタル値をこのメモリによってプリセット電圧発生用デジタル値に変換した後、D/A変換してプリセット電圧とする構想にもとづき、すべてのチャネルに対して適正なプリセット電圧を得るようにし、従って、チャネル移行時間をチャネル変化の大小にほとんど関係なく短縮し得るようにし、前述の従来形における問題点を解決することにある。

以下、図面により本発明を従来例と比較して説明する。

第1図は従来の周波数シンセサイザのブロック回路図である。第1図において、水晶振動子1を含む基準発振器2、位相比較器3、低域フィルタ4、電圧制御発振器5およびプログラマブルカウンタ6によってPLL回路が構成される。位相比較器3は基準発振器2の基準発振信号とプログラマブルカウンタ6の出力信号との位相差を検出し、たとえば基準発振信号が進んでいれば正のパルス状の信号を送出し、基準発振信号が遅れていれば負のパルス状の信号を送出する。この位相比較器

従来、他の方法として、チャネル変化に反応して電圧制御発振器の制御電圧としてプリセット電圧を印加し、これにより、電圧制御発振器の発振周波数を所望のチャネルの発振周波数に強制的に変化させてPLL回路の同期時間を短縮し、従って、チャネルの移行時間をチャネル変化の大小にほとんど関係なく短縮するものがある。この場合、チャネル情報としてのデジタル値をD/A変換して得られたアナログ電圧を、電圧制御発振器のプリセット電圧としている。

しかしながら、上述の従来形においては、電圧制御発振器の電圧-周波数($V-f$)変換特性が実際には非直線性(もちろん、直線性であることが好ましい)であるので、一部のチャネルに対して適正なプリセット電圧が得られず、従って、未だ、チャネル移行時間の短縮効果は不充分であるという問題点がある。

本発明の目的は、各チャネルに対して最適なプリセット電圧を発生するためのプリセット電圧発生用デジタル値を予めメモリに記憶し、従って、

3の出力信号は低域フィルタ4によって平滑されて電圧制御発振器5の制御電圧 V_c となる。電圧制御発振器5の出力信号はプログラマブルカウンタ6によってN分周されて周波数 f_r は f_0/N となる。このPLL回路が安定していれば、

$$f_r = f_0/N \text{ すなわち } f_0 = N f_r$$

ただし、 f_r :基準発振器2の基準発振周波数である。

すなわち、プログラマブルカウンタ6の分周比Nを外部のプログラム端子 P_1, P_2, \dots, P_n に供給されるチャネル情報としてのデジタル値 D_1, D_2, \dots, D_n によって変化させることによって、電圧制御発振器5の出力発振周波数 f_0 は種々の値をとる。この場合、電圧制御発振器5において、制御電圧 V_c が大きくなれば、出力発振周波数 f_0 も大きくなる。従って、チャネル情報としてのデジタル値が変化してチャネル切替えが行われると、次第に電圧制御発振器5の制御電圧 V_c が変化して新チャネルに対応する値となって安定す

るが、これに要する時間は掃引時間と位相同期時間との和によって決定される。このうち、掃引時間は低域フィルタ4の時定数によって決まる。このような掃引時間を小さくするためにD/A変換器7によって電圧制御発振器5に直接、プリセット電圧 V_p を印加している。この場合、プリセット電圧 V_p が電圧制御発振器5の制御電圧 V_c の作用をする。

第2図(A)～第2図(C)は本発明の原理を説明するためのチャネルAからチャネルBへの切替時のタイミング図である。詳細には、第2図(A)はプリセット電圧 V_p を電圧制御発振器5に印加しない場合の制御電圧 V_c の変化を示し、第2図(B)は適正なプリセット電圧 V_p が電圧制御発振器5に印加された場合の制御電圧 V_c の変化を示し、第2図(C)は適正でないプリセット電圧 V_p が電圧制御発振器5に印加された場合の制御電圧 V_c の変化を示す。なお、 t_1 および t_2 はチャネル切替開始時刻および終了時刻を示し、従って、チャネル移行時間は $(t_2 - t_1)$ である。

本発明においては、各チャネル対応の本来の制御電圧がプリセット電圧となるように、チャネル情報としてのデジタル値の交換テーブルを用意し、これにより、第2図(C)に示すような不適正なプリセット電圧の発生を回避し、たとえ電圧制御発振器5の入出力特性がいかなる非直線性であっても、適正なプリセット電圧を発生するようにしてある。

第3図は本発明の一実施例としての周波数シンセサイザのブロック回路図である。第3図において、第1図の構成要素と同一な要素については同一の参照番号を付してある。すなわち、第1図に対してプログラマブルリードオンリメモリ(以下、P-ROMとする)8を設けている。これにより、チャネル情報としてのデジタル値 D_1, D_2, \dots, D_n は最適なプリセット電圧 V_p を発生するためのデジタル値 D_1', D_2', \dots, D_n' に変換される。すなわち、デジタル値 D_1', D_2', \dots, D_n' は、電圧制御発振器5の非直線性入出力特性を補償することができる。このデジタル値 D_1', D_2', \dots

第2図(A)に示すごとく、プリセット電圧 V_p が印加されないと、制御電圧 V_c は低域フィルタ4の時定数に従って変化する。これに要する掃引時間 T_s は長く、さらに、これに位相同期時間 T_L が加わり、チャネル移行時間は $(T_s + T_L)$ と長くなる。これに対し、第2図(B)に示すごとく、適正なプリセット電圧 V_p が印加されると、低域フィルタ4の動作前に制御電圧 V_c 、この場合、プリセット電圧 V_p が直接、チャネルBに対する制御電圧となるので、掃引時間はなくなり、位相同期時間 T_L' のみとなって、チャネル移行時間は T_L' と著しく小さくなる。しかしながら、第1図に於いては、電圧制御発振器5の制御電圧 V_c 対出力周波数 f_o は必ずしも直線性でなく、実際には程度の差こそあれ非直線性である。従って、チャネルBに対応のデジタル値 D_1, D_2, \dots, D_n をD/A変換して得られるプリセット電圧 V_p とチャネルBの本来の制御電圧 V_{chB} とは、第2図(C)に示すごとく、異なることがある。この場合には、掃引時間 T_s' を要し、従って、チャネル移行時間は $(T_s' + T_L')$ と長くなる。

\dots, D_n' は、プリセット電圧設定回路としてのD/A変換器7およびP-ROM8を第2図の回路から切離した状態で各対応のデジタル値 D_1, D_2, \dots, D_n の場合の制御電圧 V_c を求め、逆に、この制御電圧 V_c と同一の大きさのプリセット電圧 V_p を発生できるデジタル値 D_1', D_2', \dots, D_n' を求め、これらデジタル値 D_1, D_2, \dots, D_n 対デジタル値 D_1', D_2', \dots, D_n' の交換テーブルを作成すればよい。P-ROM8にはこの交換テーブルが蓄積されている。

以上説明したように本発明によれば、電圧制御電圧の非直線入出力特性の存在にかかわらず、適正なプリセット電圧を発生することができ、従って、チャネル移行時間を短縮することができ、前述の従来形における問題点の解決に役立つものである。

4. 図面の簡単な説明

第1図は従来の周波数シンセサイザのブロック回路図、第2図(A)～第2図(C)は本発明の原理を説明するためのタイミング図、第3図は本発明の一

本発明としての周波数シンセサイザのブロック回路図である。

2 : 基準発振器、3 : 位相比較器、4 : 低域フィルタ、5 : 電圧制御発振器、6 : プログラマブルカウンタ、7 : D/A変換器、8 : P-ROM。

発明者

富士通株式会社

特許代理人

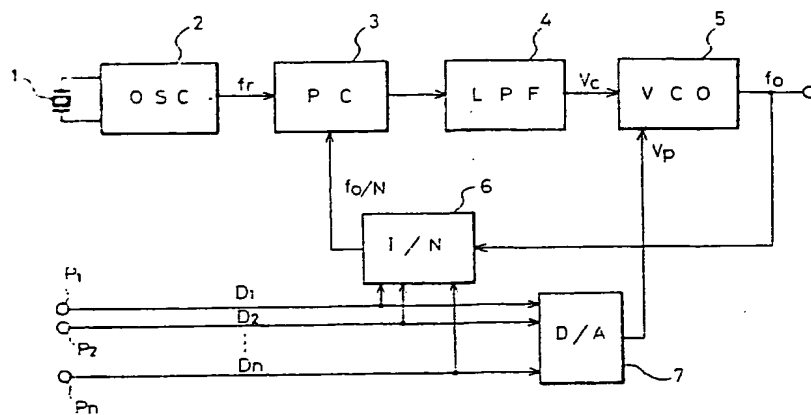
青木 朗

海 和 之

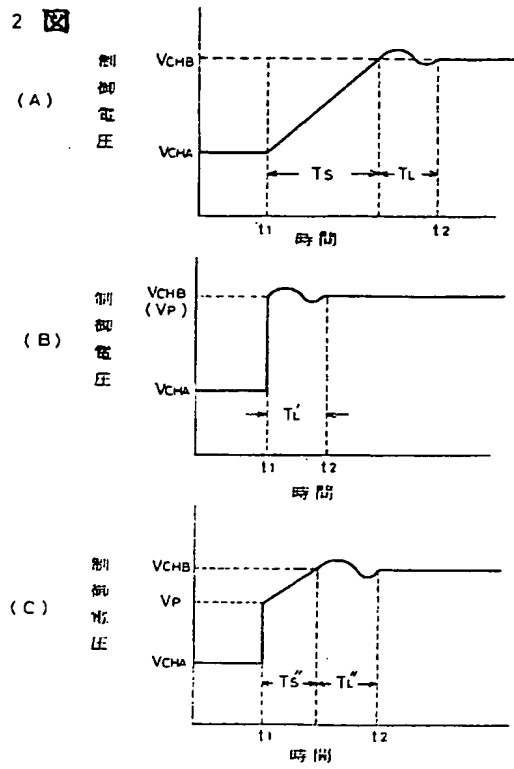
内 田 幸 男

山 口 昭 之

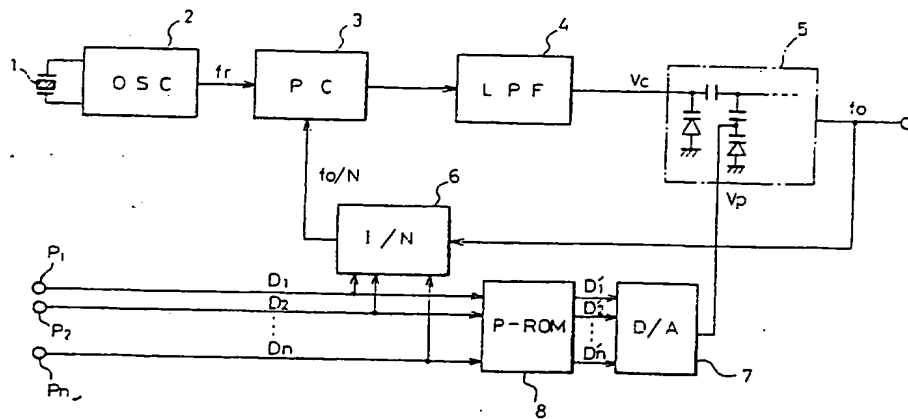
第 1 図



第 2 図



第 3 図



DOCKET NO: P2001, 0328

SERIAL NO: _____

APPLICANT: B. Balm et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100